

(別紙) 発表内容

国立大学法人東京大学大学院工学系研究科電気系工学専攻 竹内健准教授は、産業技術総合研究所エレクトロニクス研究部門フロンティアデバイスグループ 酒井滋樹グループ長らと共同で不揮発性ページバッファを備えた強誘電体トランジスタを用いた NAND フラッシュメモリを開発し、ソリッド・ステート・ドライブ (SSD) の書き込みを 2 倍に高速化することに成功した。同技術は書き込み中の電源遮断時に、書き込み対象データの破壊を阻止することが可能であり、SSD の信頼性向上にも有効である。フラッシュメモリを用いた SSD はパソコンやデータセンタの HDD を置き換え始めており、今後も大きな市場が見込まれるが、より一層の高速化と信頼性の向上が望まれていた。

強誘電体 NAND フラッシュメモリは図 1 に示すように、メモリトランジスタのゲート絶縁膜を、強誘電体膜 SrBiTaO と絶縁膜 HfAlO の積層で構成し、強誘電体膜の分極反転によりデータを記憶する[1]。セルアレイの構成は NAND フラッシュメモリと同様、32~64 個のメモリセルが直列接続される。強誘電体 NAND フラッシュメモリの利点は、低消費電力と高信頼性である。表 1 に従来の NAND フラッシュメモリと強誘電体 NAND フラッシュメモリの比較をまとめた。従来の NAND フラッシュメモリでは書き込み・消去にトンネル電流を用いているため、書き換え電圧が 20V と高電圧であるのに対し、強誘電体 NAND フラッシュメモリでは 6V と低電圧化され、低電力作が可能になる(図 2)。また、従来の NAND フラッシュメモリでは書き換えを頻繁に行うと、トンネル電流によりゲート酸化膜中にトラップサイトが生成され、トラップサイトを介してリーク電流が流れ、データ保持特性が劣化する。その結果、書き換えが 1 万回程度しか行えないという信頼性の問題があった。一方、強誘電体 NAND フラッシュメモリでは強誘電体膜に電界を印加することで書き換えが行われるためトラップサイトは生成されず、書き換えは 1 億回まで可能である。

更に今回、SSD の書き込み高速化と信頼性向上のためにバッチライトアルゴリズムと不揮発性ページバッファを開発した(図 3)。バッチライトアルゴリズムの採用により、強誘電体フラッシュメモリ内のキャッシュメモリにページサイズ分のデータが格納されてから、一括でメモリセルに書き込みを行う。その結果、データの断片化の問題が解決され、SSD の書き込みを約 2 倍高速化することに成功した。更に、不揮発性ページバッファにより、予期せぬ電源停止時に、書き込み途中のデータを不揮発性ページバッファに退避する(図 4)ことで書き込みデータの破損も防ぐことができ、SSD の信頼性の向上を図ることに成功した。

開発した強誘電体 NAND フラッシュメモリを集積した SSD により、パソコンやデータセンタの記憶装置の電力削減、信頼性向上が可能になり、地球環境に優しい IT プラットフォームを実現することが期待される。なお、この成果は、2009 年 6 月 16 日京都にて開催される IEEE Symposium on VLSI Circuits で発表される。

参考文献[1] S.Sakai, et. al., IEEE NVSMW, pp.103-104, 2008.

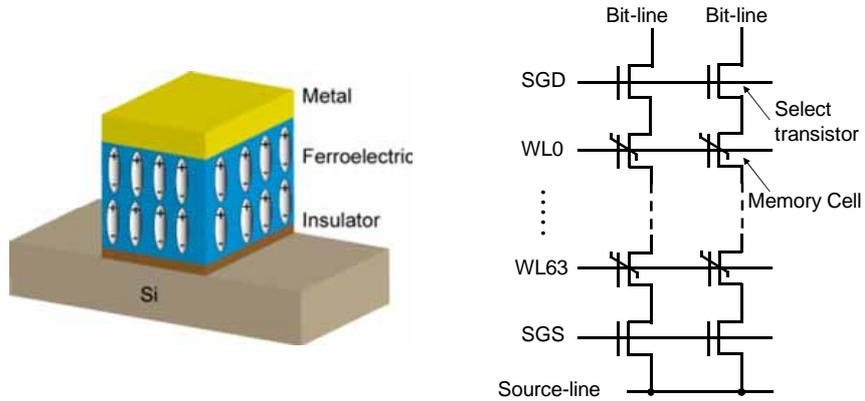


図 1. 強誘電体 NAND フラッシュメモリ

表 1. 強誘電体 NAND フラッシュメモリ
と NAND フラッシュメモリの比較

	Conventional Floating-Gate NAND	Proposed Fe-NAND
Write/Erase voltage	20V	6V
Endurance	10K (MLC) 100K (SLC)	100Million
Data retention	10 years	10 years

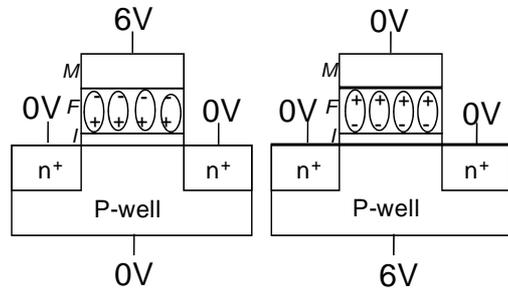


図 2. 強誘電体 NAND フラッシュメモリの書き込み・消去動作

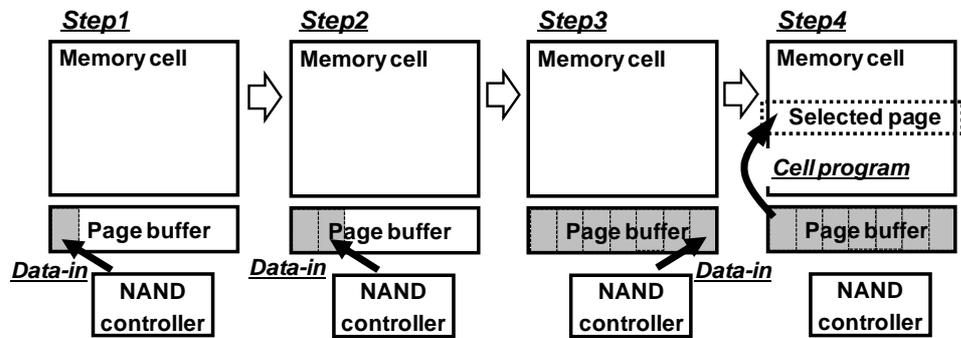


図 3. バッチライトアルゴリズム

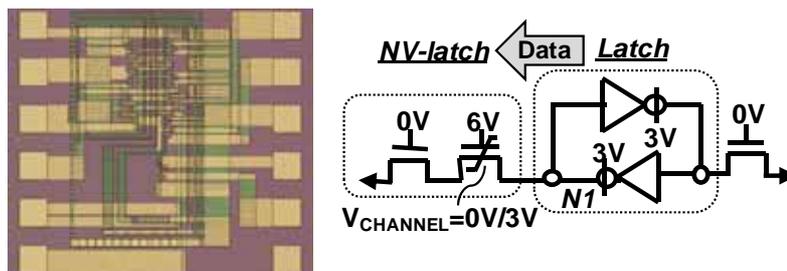


図 4. 不揮発性ページバッファ