



国立大学法人 東京大学
独立行政法人 産業技術総合研究所

1. タイトル:

「シリコンの限界を超える CMOS トランジスタの基本技術が完成」

~III-V 族半導体を用いた極薄チャネルの形成、メタルソース/ドレイン形成、高移動度化を実証~

2. 発表概要:

III-V 族化合物半導体の高い移動度を利用した次世代 CMOS トランジスタを実用化するための 3 つの基本技術である極薄チャネルの形成、メタルソース/ドレイン(S/D)接合の形成、および電子移動度の向上に世界で初めて成功しました。これにより、従来のシリコン(Si)トランジスタの限界を超える高移動度 CMOS トランジスタの実現が期待されます。

国立大学法人 東京大学【総長 濱田 純一】(以下、「東京大学」という)、独立行政法人 産業技術総合研究所【理事長 野間口 有】(以下、「産総研」という)、住友化学株式会社【代表取締役社長 廣瀬 博】(以下、「住友化学」という)、独立行政法人 物質・材料研究機構【理事長 潮田 資勝】(以下、「物材機構」という)は、シリコンプラットフォーム上 III-V 族半導体チャネルトランジスタ技術の開発に関する共同研究を行っています。今回、東京大学のデバイス作製技術、産総研の絶縁膜形成技術、住友化学の結晶成長技術というそれぞれの強みを生かし、III-V MOSFET 実用化に向けた 3 つの基本技術、極薄チャネル形成技術、メタル S/D 形成技術、高移動度界面制御技術を開発しました。

この成果の詳細は、最先端のデバイス技術が報告される”2010 International Electron Device Meeting” (IEDM 2010) (2010 年 12 月 6 日~8 日、San Francisco)において、3 件の論文として発表され、中でも、極薄チャネル III-V MOSFET の開発に関する論文は、当該会議のハイライトペーパーの中の 1 件に選出されました。

本研究は、平成 19 年度から開始された、独立行政法人 新エネルギー・産業技術総合開発機構(NEDO)プロジェクト「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」(シリコンプラットフォーム上 III-V 族半導体チャネルトランジスタ技術の研究開発) の委託を受けて行ったものです。

_____は用語解説参照

3. 発表内容:

■ポイント■

ポイント 1-3 の基本技術を応用することで、III-V チャネル高移動度 CMOS トランジスタが実現可能となります。



ポイント 1: 極めて薄いチャンネルを形成する技術の開発

- 3.5 nm の極めて薄い III-V チャンネルをもつ III-V MOSFET、さらに薄膜埋め込み酸化膜 (BOX) を組み合わせたダブルゲート III-V MOSFET を開発し、その動作実証に世界で初めて成功しました。

ポイント 2: 自己整合型プロセスによるメタル S/D MOSFET の開発

- ニッケル (Ni) と III-V チャンネルとの反応を利用して S/D 接合を自己整合型で形成できるプロセスを開発し、このプロセスを用いたメタル S/D MOSFET の動作を世界で初めて実証しました。
- III-V チャンネル層に含まれるインジウム (In) 組成を高めることにより、ショットキーバリアの高さを下げて S/D 抵抗を低減し、より高い電流駆動力を実現しました。

ポイント 3: III-V MOSFET 高移動度化技術と移動度決定要因の解明

- III-V チャンネルの結晶方位や表面終端を工夫することにより、III-V MOSFET の電子移動度を大幅に向上する技術を開発しました。
- 移動度向上の要因として、III-V チャンネルとゲート絶縁膜との界面に発生する電気双極子の揺らぎの抑制が重要であることを世界で初めて明らかにしました。

■成果の要約■

研究の成果 1: 極薄チャンネル形成技術の開発 ~厚さ約 3.5 nm の極薄インジウムガリウムヒ素 (InGaAs) チャンネル、厚さ 10 nm 程度の薄膜酸化アルミニウム (Al₂O₃) BOX 層をもつダブルゲート III-V MOSFET の開発~

MOSFET の微細化に伴い漏れ電流が増大する問題を解決する構造として、極めて薄いチャンネル構造が期待されています。我々は、基板貼り合わせ技術を利用して、極薄チャンネル III-V-On-Insulator (III-V-OI) 基板を開発しました。作製した極薄チャンネル構造の透過型電子顕微鏡による断面観察の結果を図 1-1 に示します。3.5 nm の極めて薄い厚さにもかかわらず、高品質な III-V チャンネルが一様に形成されていることがわかります。この極薄チャンネル構造は、InGaAs を エピタキシャル成長した III-V 層を良好な結晶構造を保ったまま Si 基板上に積層することで作製しました。この基板を利用して、極薄チャンネル III-V MOS トランジスタを作製し、フロントゲートにより良好なトランジスタ動作を実現することに成功しました。

極薄チャンネルの下部にある BOX 層を薄くすると、フロントゲートとバックゲートを同時に利用するダブルゲート動作が可能です。そこで、今回、Al₂O₃ を材料として用いて 10 nm 程度の薄膜 BOX 層を実現し(図 1-1)、ダブルゲート動作を実証しました。その結果、III-V チャンネルとしては良好な電流電圧特性、10 の 7 乗程度の高い オン電流/オフ電流比を得ることに成功しました(図 1-2)。この技術は、絶縁層を介して基板を貼り合わせ方法であるため、III-V チャンネル以外の各種高移動度チャンネル材料への応用も期待できます。

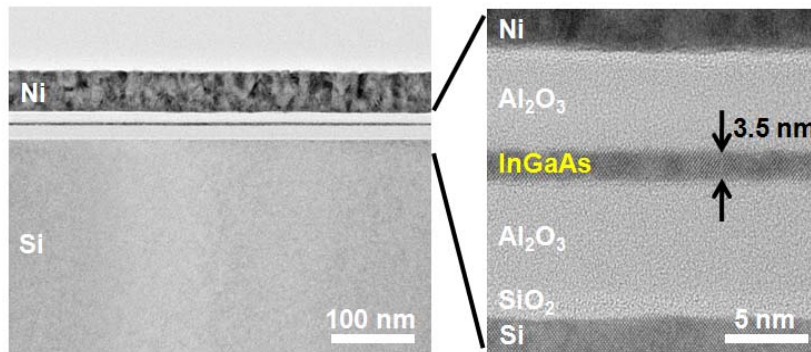


図 1-1 極薄チャネルの断面写真。Si 基板の上に自然酸化膜 (SiO₂) を介して 10nm の Al₂O₃ BOX 層と 3.5nm の InGaAs 極薄チャネルを積層して III-V-OI 構造を形成した。InGaAs の上の Al₂O₃ と Ni は、トランジスタのゲート絶縁膜および電極である。

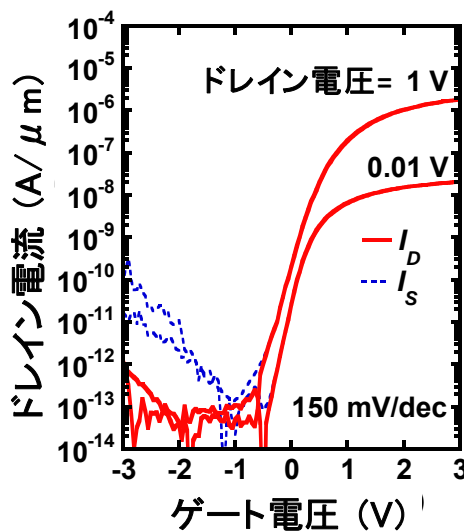


図 1-2 極薄チャネルを用いたダブルゲート MOSFET のドレイン電流-ゲート電圧特性。電圧を加えることにより、電流がオフ状態からオン状態へ約 7 桁変化している。

研究の成果 2: Ni-InGaAs 反応層を用いた自己整合型メタル S/D III-V MOSFET の開発

高移動度チャネル材料として期待されている III-V 族化合物半導体ですが、伝導度を制御するために添加する不純物の固溶限が Si に比べて 1~2 桁低いため、従来法であるイオン注入による S/D 形成では、S/D 領域の抵抗を低減することが極めて困難です。今回、Ni と III-V チャネルとの反応により、低抵抗の S/D が形成できることを、世界で初めて見い出しました。本方法で形成される S/D のシート抵抗は、従来法のイオン注入に比べて約 1/3 まで低減されています。III-V チャネルとして InGaAs を使い、自己整合型プロセスにより作製した MOSFET の断面観察結果を図 2-1 に示します。メタルと III-V チャネル界面において、欠陥のない非常に急峻な界面の形成が確認できます。この自己整合型メタル S/D III-V MOSFET が良好な電気特性を示すことも確認しています。

さらに、III-V チャネル層に含まれる In 組成を高めてショットキーバリアの高さを下げることで、S/D の抵抗をさらに低減することにも成功しました。この S/D 形成技術は、Ni 膜厚を制御することで極浅接合の形成が可能であるため、微細化に伴う漏れ電流の増加を抑えるためにも有効であると期待されます。

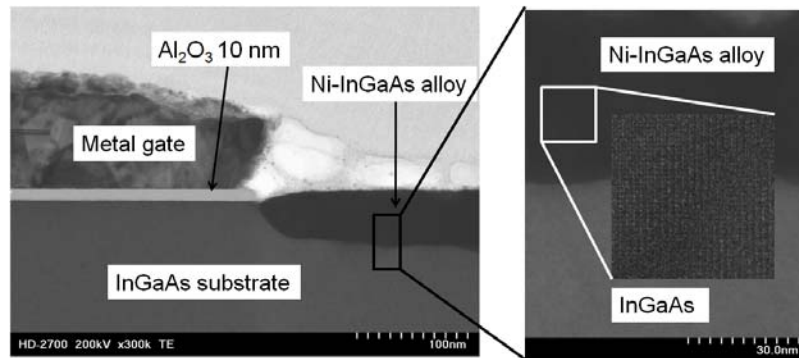


図 2-1 メタル S/D 接合をもつ III-V MOSFET の断面写真。Ni-InGaAs 合金の部分がメタル S/D であり、これが III-V チャンネルに対して低抵抗な接合を形成している。

研究の成果 3: III-V MOSFET 高移動度化技術と移動度決定要因の解明

MOSFET を作製する際には、通常は(100)面と呼ばれる結晶面を用います。我々は、In あるいは Ga から構成される(111)A と呼ばれる面の上で良質な III-V 結晶を成長する技術を確立した上で、この面を用いて MOSFET を作製することにより、電子移動度が向上することを見出しました。これに加えて、III-V 表面を硫化アンモニウム溶液に浸すという簡便な方法を用いて表面を硫黄原子で終端することにより、移動度がさらに向上することが明らかになりました(図 3-1)。III-V チャンネルとして InGaAs を用いた場合 (111)A 面を硫黄で終端した上に作製した MOSFET は、電流を担うキャリア電子の濃度が平方センチメートルあたり 10 の 13 乗個という高い濃度条件においても、シリコンの 2 倍以上の移動度を示します。このことから、この高移動度化技術は CMOS の電流駆動力を高めるための有望な手法であると言えます。

MOSFET の高移動度化には、半導体とゲート絶縁膜との界面近傍を走行する電子の散乱を抑制することが必要であることが知られています。我々は、デバイス特性の詳細な解析の結果、III-V MOSFET においては、界面に発生する電気双極子のゆらぎが散乱の原因になることを突き止めました。電気双極子による散乱は、従来のシリコン MOSFET では移動度への影響は小さいとされており、III-V チャンネル特有の移動度決定機構と考えられます。この新たな知見は、移動度をさらに向上していくための界面設計の指針を与えるものです。

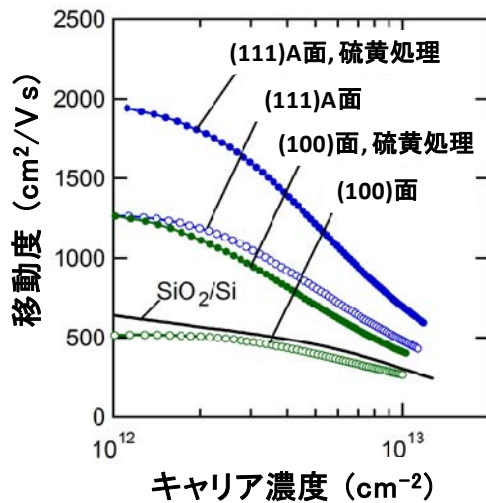


図 3-1 様々な InGaAs 表面上で作製した MOSFET の移動度。(100)面に比べて(111)A 面上で移動度が大きく向上している。また、いずれの面でも、硫黄処理を施すことで移動度が向上する。

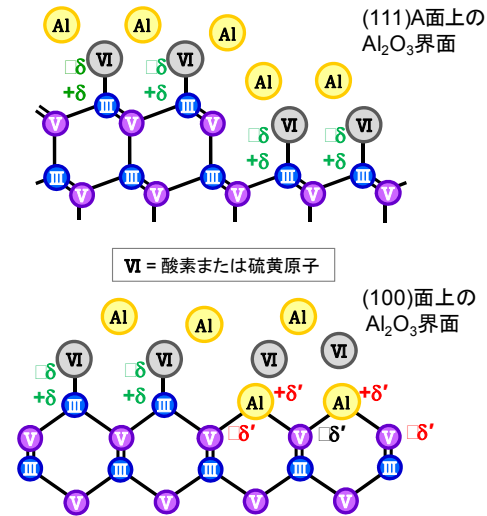


図 3-2 III-V チャネルと Al_2O_3 ゲート絶縁膜と界面に発生する電気双極子のモデル。(111)A 面上では電気双極子の正負の方向が揃って移動度が向上する。(100)面上では電気双極子の正負の方向が揃わず、移動度が低下する。

このように、極薄チャネル III-V MOSFET を開発し、世界で初めて Si 基板上においてそのトランジスタ動作を実証し、メタル S/D 形成技術を導入して III-V MOSFET の動作実証を行いました。そして、高移動度技術を開発するとともに、さらなる高移動度化のための指針となる移動度決定機構を明らかにしました。これらの成果により、論理 LSI の Si チャネルを InGaAs などの III-V チャネルで置き換えるための 3 つの基本技術である、極薄チャネル形成技術、メタル S/D 形成技術、及び、高移動度界面技術が確立されました。これらを実用化した次世代超高速 CMOS トランジスタにより、コンピューター、サーバー、デジタル家電などの高性能化や低消費電力化が可能になると期待されます。

研究の経緯

東京大学、産総研、住友化学、物材機構は共同研究により、極薄チャネル形成技術、メタル S/D 形成技術、界面制御技術を開発しました。なお、この共同研究成果は NEDO プロジェクト「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」(シリコンプラットフォーム上 III-V 族半導体チャネルトランジスタ技術の研究開発)【テーマリーダー 高木 信一】の委託を受けて行ったものです。2007~2011 年までの 5 年間、既存のトランジスタの性能を飛躍的に向上させる新しいトランジスタ構造や材料を開発しています。この研究テーマでは、22 ナノ世代 LSI 用ト



ランジスタに向けた材料選択肢を検討するための新たなエンジニアリング手法を提案し、将来の極微細トランジスタの構造として期待されている III-V-OI 構造トランジスタを、Si 基板上で実現することを目指しています。

このプロジェクトでは、トランジスタのチャンネル部に用いる材料を、Si から III-V 族化合物半導体に置き換えることを提案しています。III-V チャンネルは Si よりも大きな電子移動度をもつため、高い電流駆動力を持つことが期待されています。実用化に向けては、既存の Si LSI 製造技術でトランジスタが作製可能であることが重要です。そのため、III-V チャンネルを Si 基板上に集積する必要があります。しかし、従来の結晶成長を用いた方法では、III-V チャンネルの Si 基板上への集積はとて困難でした。そこで、本研究においては、基板直接貼り合わせ技術を利用して III-V-OI 構造を作製することを提案しています。これまで、III-V チャンネル膜厚が 100 nm 程度と比較的厚い III-V MOSFET の作製に適した直接基板貼り合わせ技術を用いて、Si 基板上に埋め込み酸化膜層を介して積層した III-V MOSFET を開発し世界で初めてその動作実証に成功し、その結果を 2009 Symposia on VLSI Technology や同 2010 などにおいて報告してきました。

4. 発表場所: "2010 International Electron Device Meeting" (IEDM 2010) (2010 年 12 月 6 日~8 日、San Francisco)

5. 注意事項:

会議要旨の公開日が公表解禁日となるため、日本時間12月6日17時(新聞は、12月7日朝刊)(現地時間12/6(月)0時)が公表解禁となります。

また、上記の内容で、東大TLOより特許出願しております。

6. 問い合わせ先:

~本件に関して~

高木 信一

東京大学 大学院工学系研究科 電気系工学専攻 教授

〒113-8656 東京都文京区本郷7-3-1 工学部10号館490号室

URL: <http://www.mosfet.k.u-tokyo.ac.jp>

竹中 充

東京大学 大学院工学系研究科 電気系工学専攻 准教授

〒113-8656 東京都文京区本郷7-3-1 工学部10号館490号室

URL: <http://mosfet.k.u-tokyo.ac.jp>



~極薄ボディ III-V-OI MOSFET に関して~

横山 正史

東京大学 大学院工学系研究科 電気系工学専攻 高木・竹中研究室 特任研究員
〒113-0032 東京都文京区弥生 2-11-16 東京大学工学部 10 号館 460 号

~メタル S/D III-V MOSFET に関して~

金 相賢

東京大学 大学院工学系研究科 電気系工学専攻 高木・竹中研究室 修士 2 年
〒113-0032 東京都文京区弥生 2-11-16 東京大学工学部 10 号館 460 号

~高移動度化技術について~

安田 哲二

独立行政法人 産業技術総合研究所 ナノ電子デバイス研究センター 新材料インテグレーション研究チーム長

〒305-8562 茨城県つくば市東 1-1-1 中央第 4 事業所 2106 室

URL: <http://unit.aist.go.jp/nirc/ci/index.html>

7. 用語解説:

◆ III-V 族化合物半導体

元素周期表のⅢ族の原子(アルミニウム、ガリウム、インジウムなど)とⅤ族の原子(窒素、リン、ヒ素など)が結合してできた半導体。代表的なものとして、ガリウムヒ素(GaAs)、インジウムリン(InP)、窒化ガリウム(GaN)などがある。

◆ 移動度

固体の中でのキャリアの流れやすさを表す指標で、加えた電界強度とキャリアの走行速度の比例係数である。同じ大きさの電圧を加えたときには、移動度が大きいほど、キャリアの走行速度が大きくなり、電流が増加する。

◆ CMOS

Complementary (相補型) MOSの略号。*n*チャネルMOSFETと*p*チャネルMOSFETという、オンオフ動作が相互に逆転するタイプのトランジスタを直列につないだ素子。集積回路での信号処理を行う上での最も基本的な回路である。

◆ MOSFET、チャネル

MOSFETは、LSIの最も基本となっているMetal-Oxide-Semiconductor (金属-酸化膜-半導体) Field-Effect-Transistor (電界効果トランジスタ)の略号。MOSFETは、ゲート、ソース、ドレインの3つの電極を持つ。ゲート電極に印加した電圧(ゲート電圧)により半導体側に電子(負の電



荷)あるいは正孔(正の電荷)のキャリアを誘起して、電流のオンオフ動作を行う。キャリアが走行する領域のことを、チャンネルという。チャンネルの入口側の電極をソース、キャリアを取り出す出口側の電極をドレインと呼ぶ。チャンネル中に誘起した電子が走るタイプの素子を n 型チャンネルMOSトランジスタ、正孔が走るタイプの素子を p 型チャンネルMOSトランジスタと呼ぶ。 n と p は、それぞれnegative(負)、positive(正)の略である。

◆ メタルソース/ドレイン(メタルS/D)

MOSFETにおいて、金属をチャンネルへ接合させることによりソースとドレインを形成したのがメタルソース/ドレイン(S/D)である。従来法でのS/D形成では、チャンネルの入口と出口にイオン注入等により不純物を導入して接合を形成する。

◆ ショットキーバリア

半導体と金属との接合界面にはショットキーバリアと呼ばれるエネルギー障壁が発生する。そのため、この界面を通して電流が流れる時、電子はエネルギー障壁の上を超えるかあるいはトンネルする。接合を低抵抗化するためにはこの障壁を低くすることが必要である。

◆ BOX

基板の表面に絶縁層を介して薄い半導体層を形成する際に、絶縁層として用いられる埋め込み酸化物(buried oxide)の略。

◆ 自己整合型

MOSFETのソース/ドレインの位置を、先に形成したゲート電極に対して自動的に整合させること。

◆ ゲート絶縁膜

MOSFETのチャンネルとゲート電極との間に挿入された絶縁膜。ゲート電極に電圧を加えてチャンネルにキャリアを誘起する際に、ゲート電極とチャンネルの間で電流が流れるのを阻止する役割を果たす。MOSFETの特性は、ゲート絶縁膜とチャンネルとの界面に発生する電荷や欠陥の影響を強く受けるため、この界面を高品質化することが重要となっている。

◆ 電気双極子

正の電荷と負の電荷が、互いに近接した対となっているもの。正電荷と負電荷が互いに電界を打ち消しあうため、単独の電荷による静電力に比べると、電気双極子が力を及ぼす範囲が近距離に限られるという特徴がある。

◆ III-V-On-Insulator (III-V-OI)



III-V-On-Insulator (III-V-OI)とは、絶縁膜上に形成された III-V 族化合物半導体の単結晶薄膜を指す。III-V-OI 基板はまだ市販されていない。本研究では、III-V 族化合物半導体として、InGaAs を用いている。III-V 族化合物半導体の電子移動度は Si より遥かに高いため、高性能の n チャンネル MOS トランジスタが形成できる。

◆ エピタキシャル成長

結晶の基板の上に薄膜を形成する際に基板結晶方位の影響を受けて薄膜の結晶が成長する現象、および、これを利用し結晶薄膜の作製法。例えば、基板が(100)面の時、同じ結晶構造の物質をその上に成長すると、成長した結晶の面方位は一般に(100)面となる。

◆ オン電流／オフ電流比

MOSFETのドレイン電流をゲート電圧の大小によって変化させる際の最大電流(オン)と最小電流(オフ)の比。電流スイッチとしてのMOSFETの性能を表す重要な指標の一つ。

◆ 固溶限

固体の物質の中に含ませることができる不純物の限界濃度。

8. 添付資料:

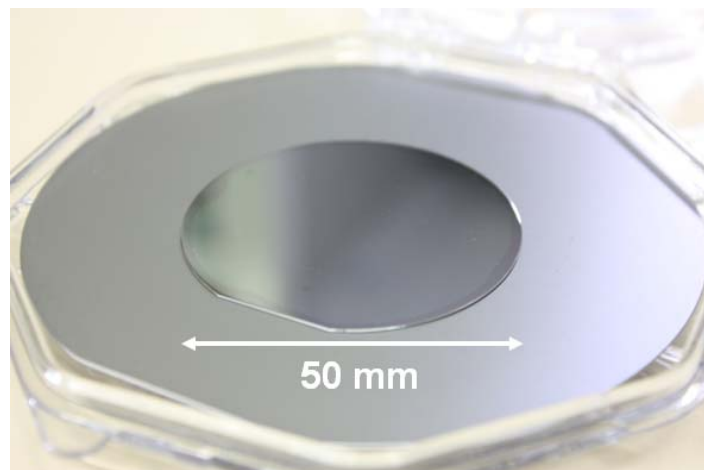


図 2 インチ基板大の III-V-OI 基板の写真